

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KAWAMURA, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: August 26, 2003

Attorney Dkt. No.: 108066-00099

For: AC SENSING METHOD MEMORY CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 26, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

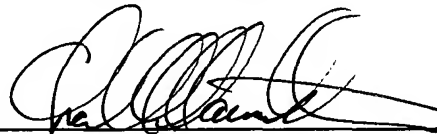
Foreign Application No. 2002-247345, filed August 27, 2002 in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/cam

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月27日

出願番号

Application Number:

特願2002-247345

[ST.10/C]:

[JP2002-247345]

出願人

Applicant(s):

富士通株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007242

【書類名】 特許願

【整理番号】 0240223

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/26

【発明の名称】 A C センス方式のメモリ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 河村 祥一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 矢野 勝

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴェルエスアイ株式会社内

【氏名】 新美 真

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴェルエスアイ株式会社内

【氏名】 永井 賢治

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A C センス方式のメモリ回路

【特許請求の範囲】

【請求項 1】メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有し、

選択されたメモリセルの前記メモリセルアレイ内の位置に応じて、前記センスタイミングが異なることを特徴とするメモリ回路。

【請求項 2】請求項 1 において、

前記選択されたメモリセルが、前記ページバッファから第 1 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、前記ページバッファから前記第 1 の距離より長い第 2 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とするメモリ回路。

【請求項 3】請求項 1 において、

前記選択されたメモリセルが、前記ワード線を駆動するワード駆動回路から第 1 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、前記ワード駆動回路から前記第 1 の距離より長い第 2 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とするメモリ回路。

【請求項 4】メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有する通常メモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、

所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファと、

レファレンスビット線と、当該レファレンスビット線と前記ワード線との交差位置に配置されたレファレンスメモリセルとを有するレファレンスメモリセルアレイとを有し、

前記ページバッファの前記センスタイミングが、選択されたワード線に属するレファレンスメモリセルのセル電流によりレファレンスビット線がディスチャージされる電位に応じて、決定されることを特徴とするメモリ回路。

【請求項 5】請求項 4 において、

前記レファレンスビット線が、前記ワード線を駆動するワード線駆動回路に対して、通常メモリセルアレイよりも遠い位置に配置されることを特徴とするメモリ回路。

【請求項 6】請求項 4 において、

前記レファレンスメモリセルの閾値電圧が、消去状態のメモリセルによるビット線のディスチャージよりも、レファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【請求項 7】請求項 4 において、

前記レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラムベリファイ用とを有し、

前記プログラムベリファイ用のレファレンスメモリセルの閾値電圧が、通常のメモリセルであって未だプログラム状態でないメモリセルによるビット線のディスチャージよりも、前記プログラムベリファイ用のレファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【請求項 8】メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメ

メモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有し、

前記メモリセルアレイは、ワード線方向に複数の領域に分割され、各分割された領域は、レファレンスビット線と、当該レファレンスビット線とワード線との交差位置に配置されたレファレンスメモリセルとを有し、

各分割された領域に属するページバッファの前記センスタイミングが、対応する分割された領域において、選択されたワード線に接続されたレファレンスメモリセルのセル電流により前記レファレンスビット線がディスチャージする電位に応じて、それぞれ決定されることを特徴とするメモリ回路。

【請求項 9】 請求項 8 において、

前記各分割された領域において、前記レファレンスビット線が、前記ワード線を駆動するワード線駆動回路に対して、通常メモリセルアレイよりも遠い位置に、それぞれ配置されることを特徴とするメモリ回路。

【請求項 10】 請求項 8 において、

前記レファレンスメモリセルの閾値電圧が、消去状態のメモリセルによるビット線のディスチャージよりも、前記レファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、AC センス方式のメモリ回路に関し、特に、大容量化されてもメモリセルのデータを適切に検出することができるメモリ回路に関する。

【0002】

【従来の技術】

半導体メモリ回路の一つである不揮発性半導体メモリは、大容量化と低電圧化の要求が大きくなっている。低電圧化は、より低い電圧で動作可能にして、省電力化を図ることが目的である。低電圧化に伴い、メモリセルが流すことができる

セル電流が小さくなる傾向にある。一方、大容量化に伴い、セルアレイ内のワード線やビット線はより長くなってそれらに接続されるセル数が増大し、容量が大きくなる。更に、ワード線やビット線がより細くなり、それに伴いそれらの抵抗が大きくなる。このようなCR値の増大は、ワードドライバによるワード線駆動や選択線駆動の際の遅延や、セル電流によるビット線電位の放電の遅延を大きくする。

【 0 0 0 3 】

特に、ビット線のCR値の増大によって、ビット線に電流を流しながらセル電流の有無によってそのビット線電流の変化を電圧変換してセルデータを検出するDCセンス方式は、もはや使えないセンス方式になりつつある。

【 0 0 0 4 】

DCセンス方式に代わって、ACセンス方式が提案されている。このACセンス方式によれば、ビット線のある電位までプリチャージしておき、ビット線をフローティング状態にしてから、所定の期間セル電流によりビット線をディスチャージし、ビット線電位が所定の電位までディスチャージされるか否かでセルデータを検出する。センス時にビット線に常時電流を供給していないので、セル電流が小さくなくても読み出しの感度を高く維持することができる。

【 0 0 0 5 】

図1は、従来の不揮発性メモリの一つであるNAND型のフラッシュメモリの回路図である。メモリセルアレイMCAには、複数のローカルビット線LBL0-0~LBL1-1とワード線WL0-0~WLn-1が設けられ、それらが交差する位置にフローティングゲートまたはトラップゲートを有するメモリセルトランジスタMCが配置される。図1の例では、1対のローカルビット線対がそれぞれ、グローバルビット線GBL0,GBL1に、グローバル選択信号GSG1,2で選択されるトランジスタを介して接続される。また、メモリセルMCは $n+1$ 個で一つのセルストリングCSTGを構成し、各セルストリングが、選択信号SG1-0、SG1-1で選択されるトランジスタを介してローカルビット線に接続され、更に、選択信号SG2-0、SG2-1で選択されるトランジスタを介して、メモリセルアレイ内グラウンド電位ARVSSに接続される。また、各ローカルビット線LBLは、電源回路101に接続され、プログラム時、消去時、

それ以外で異なる電位または状態にされる。

【 0 0 0 6 】

グローバルビット線GBL0,1は、それぞれページバッファ100に接続され、ページバッファ100は、グローバルビット線とローカルビット線を介して、選択されたメモリセルのセルストリングに接続される。ページバッファ100は、プログラム時に外部から供給される書き込みデータをバッファリングし、メモリセルに出力する。また、ページバッファ100は、読み出し時やベリファイ時に、メモリセルのセル電流の有無に応じて変化するビット線電位を検出し、セルデータを読み出す。

【 0 0 0 7 】

図2は、ページバッファの回路図である。図示しない入出力端子I/Oに接続されるラッチ回路10と、トランジスタP1、N1～N5を有する。また、図3は、電源回路の回路図である。電源回路101は、NORゲート12と、トランジスタP6、P7、N8を有し、ビット線バイアス電位BLBIASを生成する。即ち、プログラム時は、プログラム制御信号PGMがHレベル、消去制御信号ERSがLレベルになり、トランジスタP6、P7が共に導通して、ビット線バイアス電位BLBIASは電源Vccレベルになる。一方、消去時は、制御信号が逆になり、トランジスタP6、N8が共に非導通になり、ビット線バイアス電位BLBIASはフローティング状態になり、それ以外は、グランド電位になる。

【 0 0 0 8 】

次に、ページバッファ回路による従来のACセンス方式について説明する。図4は、従来のリード時のACセンス動作のタイミングチャート図である。リード動作は、ページバッファ内のラッチ回路をリセットするプリセット期間T0と、ビット線をプリチャージするプリチャージ期間T1と、セル電流の有無によりビット線をディスチャージしてビット線電位の変化からセルデータを検出するセンス期間T2とを有する。

【 0 0 0 9 】

プリセット期間T0では、各制御信号が、BIAS=Vcc (Hレベル)、BLCNTL=Vcc、PGMON=Vcc、DIS=Vcc、GSG1=Vcc+ α 、GSG2=0v、SG1-0=0v、SG2-0=0v、

選択ワード線 $WL0-0=0v$ 、非選択ワード線 $WLS-0=V_{cc}+\alpha$ 、 $BLBIAS=0v$ になっている。これにより、信号DISによりディスチャージ用トランジスタN2が導通して、ページバッファ100内のラッチ回路10のノードA及びBをそれぞれLレベル及びHレベルにプリセットする。またグローバルビット線 $GBL0$ 、 $GBL1$ 、ローカルビット線 $LBL0-0$ 、 $LBL1-0$ 、 $LBL0-1$ 、 $LBL1-1$ は、 $0v$ となる。そして、非選択セルストリングでは、 $SG1-1=0v$ 、 $SG2-1=0v$ 、 $WL0-1=WL_n-1=$ フローティングである。

【0010】

次に、プリチャージ期間T1では、各制御信号が、 $BIAS=V_{ss}$ （Lレベル）となりトランジスタP1が導通し、信号BLCNTLはグローバルビット線及びローカルビット線をプリチャージレベルにできる程度の高い電圧にされ、また、 $GSG1=V_{CC}+\alpha$ 、 $GSG2=0v$ 、 $SG1-0=V_{CC}+\alpha$ 、 $SG2-0=0v$ 、選択ワード線 $WL0-0=0v$ 、非選択ワード線 $WLS-0=V_{CC}+\alpha$ とし、ページバッファ内の信号BIASで導通されるプリチャージトランジスタP1を介して電源 V_{cc} をビット線に印加することで、グローバルビット線 $GBL0$ 、 $GBL1$ 、ローカルビット線 $LBL0-0$ 、 $LBL0-1$ をプリチャージする。これに伴い、ページバッファ内のセンスノードSNSもHレベルになる。なお、非選択側のローカルビット線は、電源回路101のバイアス電位 $BLBIAS$ により、 $LBL1-0=0v$ 、 $LBL1-1=0v$ のままである。

【0011】

そして、センス期間T2では、制御信号BIASがHレベルに戻されてプリチャージ用トランジスタP1が非導通となり、ビット線への電流供給路が断たれる。また、制御信号BLCNTLは所定のレベルにされ、選択信号 $SG2-0=V_{CC}+\alpha$ になり、セルストリングCSTGがアレイ用グランド電圧 $ARVSS$ に接続される。それに伴い、メモリセルMCが消去状態（データ1）でその閾値がグランドより低い時は、セル電流の発生によりビット線がディスチャージされる（図中実線を参照）。また、メモリセルMCがプログラム状態（データ0）でその閾値が高い時は、セル電流は発生せず、ビット線はディスチャージされない（図中破線を参照）。ビット線の電位の変化が、ページバッファ内のセンスノードSNSの変化をもたらし、所定のタイミングで生成されるセット信号SETに応答して、センスノードSNSのレベル

がラッチ回路 10 のノード A, B にラッチされる。

【0012】

図5は、従来のプログラムベリファイ動作のタイミングチャート図である。プログラムベリファイでは、メモリセルにプログラムパルスを印加した後に、その閾値電圧がプログラムベリファイレベル以上になったか否かを、ワード線をプログラムベリファイレベルにしてセルデータを読み出すことで検出する。従って、図4のリード動作と基本的には同じである。異なるのは、プリセット期間T0中にページバッファ内のラッチ回路をプリセットしないことと、選択ワード線のレベルが、0Vではなく、プログラムマージンを確保するに十分な正のレベルである。したがって、図5では、プリチャージ期間T1とセンス期間T2で、選択ワード線WL0-0は1Vに制御されている。

【0013】

【発明が解決しようとする課題】

前述したとおり、低電圧化に伴いセル電流が小さくなり、大容量化に伴いビット線の容量や抵抗が大きくなる。そのため、セル電流によりビット線をディスチャージし、それに伴ってページバッファ内のセンスノードSNSがLレベルに変化する時の、ビット線のページバッファに接続される位置の電圧ディスチャージ時間が、選択されたメモリセルの位置に依存して異なってしまう。つまり、ページバッファ100から近くに配置されたメモリセルが選択される時は、ビット線のディスチャージは速くページバッファに伝播され、ページバッファから遠くに配置されたメモリセルが選択される時は、ビット線のディスチャージは遅くページバッファに伝播される。

【0014】

更に、ワード線を駆動するワードドライバの近くに配置されたメモリセルでは、ワード線やセルストリングの選択線の立ち上がりが速いので、それに伴いディスチャージ開始も速くなり、ワードドライバから遠くに配置されたメモリセルでは、ワード線や選択線の立ち上がりが遅くなり、ビット線のディスチャージ開始も遅くなる。図4, 5には、非選択ワード線WLs-0や選択線SG2-0の立ち上がりが遅くなった例が、破線で示されている。この場合は、ビット線のプリチャージ開

始のタイミングが遅くなり、センスタイミング信号SETのタイミングが固定なら、不十分なディスチャージ時間しか得られなくなる。

【0015】

一方、従来のACセンス方式では、選択されたメモリセルの位置にかかわらず、同じタイミングでプリチャージ動作やセンス動作が行われるので、センス動作でのビット線のディスチャージがページバッファに伝わるタイミングにバラツキが存在すると、検出されるセンスノードのレベルが異なる。このことは、メモリセルの閾値電圧分布が非常に広いことを意味し、メモリとしての信頼性が低くなる。

【0016】

上記の問題は、リード動作時も、プログラムベリファイ時も同様に存在し、更に、イレースベリファイ時も同じである。

【0017】

そこで、本発明の目的は、選択されるメモリセルの位置に依存することなく、最適のタイミングでセルデータの検出を行うことができ、実質的にメモリセルの閾値電圧分布を狭くしたACセンス方式のメモリ回路を提供することにある。

【0018】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、メモリ回路において、複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有し、更に、選択されたメモリセルの前記メモリセルアレイ内の位置に応じて、前記センスタイミングが異なることを特徴とする。

【0019】

上記の発明の側面によれば、セル電流が小さくなり、ビット線やワード線のCR値が高くなっても、ACセンス方式において、ビット線電位がディスチャージ

される時のその電位のセンスタイミングを最適化することができる。それにより、ページバッファからみてメモリセルの閾値電圧の分布が実質的に狭くなり、メモリ回路の信頼性が高くなる。

【 0 0 2 0 】

上記の発明の側面において、より好ましい実施例では、前記選択されたメモリセルが、ページバッファから第 1 の距離に位置する時は、ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、ページバッファから前記第 1 の距離より長い第 2 の距離に位置する時は、ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とする。

【 0 0 2 1 】

また、上記の発明の側面において、より好ましい実施例では、前記選択されたメモリセルが、ワード線を駆動するワード駆動回路から第 1 の距離に位置する時は、ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、ワード駆動回路から前記第 1 の距離より長い第 2 の距離に位置する時は、ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とする。

【 0 0 2 2 】

上記の目的を達成するために、本発明の第 2 の側面は、メモリ回路において、複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有する。更に、メモリ回路は、前記メモリセルアレイ内にレファレンスビット線と、当該レファレンスビット線とワード線との交差位置にレファレンスメモリセルとを有し、前記ページバッファの前記センスタイミングが、選択されたワード線に属するレファレンスメモリセルのセル電流によりレファレンスビット線がディスチャージされる電位に応じて、決定されることを特徴とする。

【 0 0 2 3 】

上記の発明の側面によれば、選択ワード線に接続されたレファレンスメモリセルとレファレンス用ビット線により、ページバッファのセンスタイミングが最適化される。

【 0 0 2 4 】

上記の第2の側面において、より好ましい実施例では、レファレンスメモリセルの閾値電圧が、消去状態のメモリセルによるビット線のディスチャージよりも、レファレンスメモリセルによるレファレンス用ビット線のディスチャージが遅くなるように設定されていることを特徴とする。レファレンスセルの閾値電圧を最適化することで、センスタイミングのマージンを十分大きくすることができる。

【 0 0 2 5 】

上記の第2の側面において、より好ましい実施例では、レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラム時のベリファイ用とを有し、プログラムベリファイ用のレファレンスメモリセルの閾値電圧が、通常のメモリセルであって未だプログラム状態でないメモリセルによるビット線のディスチャージよりも、ベリファイ用のレファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とする。

【 0 0 2 6 】

上記の第2の側面において、より好ましい実施例では、レファレンスビット線が、メモリセルアレイ内のワード線駆動回路から最も遠い位置に配置されることを特徴とする。このような配置にすることで、ワード線駆動の遅延によりページバッファのセンスタイミングが早くなりすぎることが防止される。

【 0 0 2 7 】

上記の目的を達成するために、本発明の第3の側面は、メモリ回路において、複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディス

チャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有する。更に、メモリセルアレイは、ワード線方向に複数の領域に分割され、各分割された領域は、レファレンスビット線と、当該レファレンスビット線とワード線との交差位置にレファレンスメモリセルとを有し、各分割された領域に属するページバッファの前記センスタイミングが、対応する分割された領域において、選択されたワード線に属するレファレンスメモリセルのセル電流によりレファレンスビット線がディスチャージする電位に応じて、それぞれ決定されることを特徴とする。

【 0 0 2 8 】

上記の第 3 の側面によれば、検出されるまでのビット線がディスチャージされる期間を、選択メモリセルの位置に依存することなく同等にすることができ、各分割された領域に対応するページバッファのセンスタイミングを最適化することができる。特に、ベリファイ用のレファレンスメモリセルの閾値電圧と、未だプログラム状態でないメモリセルの閾値電圧またはプログラム状態になったメモリセルの閾値電圧との間のマージンが小さいので、ビット線がディスチャージされる期間を選択メモリセルの位置に依存することなく同等にすることで、未プログラム状態のメモリセルをプログラム状態と誤判定したり、プログラム状態のメモリセルを未プログラム状態と誤判定したりすることが防止できる。

【 0 0 2 9 】

第 3 の側面において、より好ましい実施例では、レファレンス用ビット線が、各分割された領域内のワード線駆動回路から最も遠い位置に配置される。

【 0 0 3 0 】

更に、上記第 3 の側面において、レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラム用とを有する。更に、レファレンスメモリセルとレファレンスビット線は、イレーズ用を有しても良い。

【 0 0 3 1 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範

図に記載された発明とその均等物にまで及ぶものである。

【 0 0 3 2 】

図 6 は、第 1 の実施の形態における NAND 型のフラッシュメモリの回路図である。図 1 と同じ構成要素には同じ引用番号が与えられている。図 1 の従来例と異なる点は、ページバッファ 1 0 がビット線のディスチャージ電位を検出するタイミングを決めるセンスタイミング信号 SET が、遅延回路 1 0 3 により制御され、しかも、その遅延回路 1 0 3 の遅延時間が、選択されたメモリセルのビット線方向の位置に応じて異なる。そのために、選択メモリセルのビット線方向の位置を示す行アドレス $\phi 1$ 、 $\phi 2$ をデコードして、デコード出力を遅延回路 1 0 3 に供給するデコーダ 1 0 2 が設けられる。

【 0 0 3 3 】

図 7 は、第 1 の実施の形態における行アドレスとメモリセルアレイの関係を示す図である。本実施の形態では、メモリセルアレイ MCA が、ビット線方向に 4 つの領域 MCA0～MCA3 に分割されている。行アドレスが A22～A9 の 1 4 ビットで構成されている場合、その上位 2 ビット A21, A22 が、4 つの分割メモリセルアレイ MCA0～MCA3 を区別するアドレスである。そこで、デコーダ 1 0 2 に供給される信号であって、選択メモリセルの位置を特定する位置信号 $\phi 1$ 、 $\phi 2$ として、この上位アドレス A21, A22 が利用される。即ち、各分割メモリセルアレイ MCA0～MCA3 は、図示されるアドレス A21, A22 の組合せに対応する。

【 0 0 3 4 】

図 8 は、第 1 の実施の形態におけるプログラムベリファイ動作のタイミングチャート図である。プリセット期間 T 0 とプリチャージ期間 T 1 の動作は、従来例と同じである。センス期間 T 2 において、制御信号 BIAS が H レベルになってプリチャージ用トランジスタ P 1 が非導通になりビット線への供給電流がなくなる。更に、セルストリング選択信号 SG2-0 が H レベルになると、選択メモリセルがセルアレイ内グランド電位 ARVSS に接続され、選択メモリセルのセル電流の有無により、その電位を維持するか、またはビット線がディスチャージされる。それに伴い、ページバッファ内のセンスノード SNS が H レベルのままか（図中破線）、L レベルになる（図中実線）。

【 0 0 3 5 】

一方、基準センスタイミング信号#SETは、センス期間T2の最初に生成される。そして、選択されたメモリセルのビット線方向の位置に応じた遅延時間だけ、その基準センスタイミング信号#SETが遅延回路103で遅延され、ページバッファ100にセンスタイミング信号SETとして供給される。従って、選択されたメモリセルがページバッファに近い第1の距離に位置する時は、上記の遅延時間 $d t_1$ は短く、センスタイミング信号SETは比較的早いタイミングで生成される。一方、選択されたメモリセルがページバッファから遠い第2の距離に位置する時は、上記の遅延時間 $d t_2$ は長く、センスタイミング信号SETは比較的遅いタイミングで生成される。これにより、選択メモリセルとページバッファ間のビット線のCR値が小さい場合は、センスタイミングは早くなり、同CR値が大きい場合は、センスタイミングは遅くなるように制御される。従って、ページバッファによるセンスタイミングが最適なタイミングに制御される。

【 0 0 3 6 】

第1の実施の形態におけるリード動作は、上記のプログラムベリファイ動作と類似する。特に、センス期間T3において、基準センスタイミング信号#SETが、遅延回路103にて、選択されたメモリセルのビット線方向の位置に応じた遅延時間だけ遅延されて、ページバッファへのセンスタイミング信号SETが生成されることは、同じである。

【 0 0 3 7 】

図9は、デコーダ102の具体的回路図である。また、図10は、遅延回路103の具体的な回路図である。これらは一例であり、他の回路構成でも実現可能である。デコーダ回路102は、選択メモリセルのビット線方向の位置を特定する信号 ϕ_1 、 ϕ_2 を、それぞれNANDゲート20でデコードし、インバータ21を利用して、互いに逆相の4組のデコード信号 ϕ_3 、 $\phi_3 \sim \phi_6$ 、 ϕ_6 を生成する。

【 0 0 3 8 】

遅延回路103は、1対のインバータからなる遅延パス27、28、29と、トランスファージェート23～26を有し、4組のデコード信号でそれらのトラン

スファアゲート 2 3 ~ 2 6 が制御される。いずれかのトランスファアゲートが導通して、基準センスタイミング信号 #SET が、対応する遅延時間だけ遅延されて、センスタイミング信号 SET が生成される。図 1 0 の例では、図 7 のメモリセルアレイ MCA0 に選択セルが位置するときは、トランスファアゲート 2 3 が導通し、遅延時間は最も短くなる。また、メモリセルアレイ MCA1 に選択セルが位置するときはトランスファアゲート 2 4 が、MCA2 に位置するときはトランスファアゲート 2 5 が、そして、MCA3 に位置するときはトランスファアゲート 2 6 が、それぞれ導通する。

【 0 0 3 9 】

図 1 1 は、第 1 の実施の形態での変形例を示す図である。この変形例では、メモリセルアレイが、ワード線方向に 4 分割され、各分割領域 MCA0 ~ MCA3 に対応して、基準センスタイミング信号 #SET を遅延する遅延回路 D 0 ~ D 3 が設けられる。これらの遅延回路 D 0 ~ D 3 の遅延時間は、ワード線を駆動するワードドライバ回路 WD に最も近い分割領域 MCA0 に対応する遅延回路 D 0 が最も短く、最も遠い分割領域 MCA3 に対応する遅延回路 D 3 が最も長い。

【 0 0 4 0 】

この変形例では、大容量化に伴って 1 つのワード線やセルストリング選択線により多くのセルトランジスタや選択トランジスタが接続されて、それらの容量が大きくなり、また、微細化によりワード線や選択線が細くなってその抵抗が大きくなって、ワード線やセルストリング選択線の電位が十分立ち上がるのに要する時間が、各分割領域で異なっている、それに対応して、遅延回路 D 0 ~ D 3 の遅延時間を順次長くすることで、ページバッファでのセンスタイミングを最適にすることができる。この変形例では、分割領域 MCA0 ~ MCA3 に対応してページバッファ PB0 ~ PB3 が個別に設けられているので、デコーダ回路を設ける必要はない。

【 0 0 4 1 】

図 1 2 は、第 1 の実施の形態での別の変形例を示す図である。この変形例は、各ページバッファ PB0 ~ PB3 におけるセンスタイミングを、選択されたメモリセルの二次元的な位置に応じて異ならせている。つまり、図 6 と図 1 1 の組み合わせである。そのために、ビット線方向の位置を特定する位置信号 $\phi 1$ 、 $\phi 2$ をデコ

ードするデコーダ102と、基準センスタイミング信号#SETを遅延させる第1の遅延回路103を有し、更に、ワード線方向の位置に対応して、第2の遅延回路群D0～D3を有する。

【0042】

第1の遅延回路103は、図6の例と同じように、選択されたメモリセルがページバッファから近ければ、その遅延時間が短く、遠ければその遅延時間が長い。一方、第2の遅延回路群D0～D3では、ワードドライバWDに近いメモリセルに対応する遅延回路ではその遅延時間が短く、遠いメモリセルに対応する遅延回路ではその遅延時間が長く設定されている。

〔第2の実施の形態〕

図13は、第2の実施の形態におけるメモリ回路の概略的構成図である。この実施の形態では、通常のメモリセルアレイMCAに加えて、ワードドライバWDから最も遠い位置に、レファレンス用メモリセルアレイRMCAが設けられる。そして、このレファレンス用メモリセルアレイ内には、レファレンス用ビット線と、レファレンス用ビット線とワード線との交差位置に配置されたレファレンス用メモリセルとを有し、前記ページバッファの前記センスタイミングが、選択されたワード線に属するレファレンス用メモリセルのセル電流によりレファレンス用ビット線がディスチャージされる電位に応じて、決定される。

【0043】

図14は、第2の実施の形態におけるメモリ回路の詳細回路図である。通常のメモリセルアレイのワードドライバとは反対側に、レファレンス用のメモリセルアレイRMCAが設けられている。図14のレファレンス用メモリセルアレイRMCAには、リード用のレファレンスビット線R-RBLとプログラムベリファイ用のレファレンスビット線P-RBLとが設けられ、それらのビット線とワード線との交差位置には、レファレンスメモリセルRMCがそれぞれ設けられる。

【0044】

リード用レファレンスビット線R-RBLには、リード用レファレンスページバッファR-RPBが接続され、また、プログラムベリファイ用レファレンスビット線P-RBLには、プログラムベリファイ用レファレンスページバッファP-RPBが接続され

る。各レファレンスページバッファRPBは、通常のメモリセルアレイMCAに属するページバッファ100のセンスタイミングを制御するレファレンス信号REFOUTを生成する。

【0045】

あるワード線が選択され、それに対応するセルストリング選択線が駆動されると、その選択ワード線に接続された通常のメモリセルMCに加えて、レファレンスメモリセルRMCも選択される。従って、プリチャージされている通常メモリセルアレイ内のビット線LBL,GBLがセル電流によってディスチャージされ、更に、レファレンス用メモリセルアレイ内のレファレンスビット線RBLもレファレンスメモリセルのセル電流によってディスチャージされる。このレファレンスビット線RBLのディスチャージは、レファレンス用ページバッファRPBにより検出され、レファレンスビット線RBLが所定の電位まで低下したタイミングで、レファレンスページバッファRPBがレファレンス信号REFOUTを生成する。

【0046】

そして、レファレンス信号REFOUTは、遅延回路104に供給され、一定の遅延時間後にセンスタイミング信号SETが出力され、通常メモリセルアレイに属するページバッファ100に供給される。ページバッファ100は、このセンスタイミング信号SETに応答して、ビット線の電位を検出する。

【0047】

レファレンス用メモリセルアレイRMCAは、通常セルアレイMCAのワードドライバWDとは反対側に配置される。従って、レファレンスメモリセルのワード線やストリング選択線が駆動されるタイミングは、通常のメモリセルアレイよりも遅くなる。一方、選択メモリセルMCがページバッファに近い位置にあるときは、それに応じてレファレンスメモリセルRMCもページバッファに近い位置にある。また、選択メモリセルMCがページバッファより遠い位置にあるときは、それに応じてレファレンスメモリセルRMCもページバッファから遠い位置にある。そのためレファレンスメモリセルによるレファレンスビット線のディスチャージ電位のレファレンスページバッファRPBへの伝達は、通常ビット線よりも遅くなる。

【0048】

このように、レファレンスメモリセルを利用することにより、ワード線方向については、レファレンス信号REFOUTは、最も遅いタイミングに制御され、ビット線方向については、レファレンス信号REFOUTは、選択メモリセルのビット線方向の位置に応じたタイミングに制御される。

【 0 0 4 9 】

図 1 5 は、レファレンス用ページバッファの回路図である。図 2 の通常のページバッファ回路と同様に、リセット用トランジスタN12と、プリチャージ用トランジスタP11と、入力INに接続されたトランジスタN11と、トランジスタN13とを有する。但し、ラッチ回路は設けられていない。その代わりに、センスノードSNSの電位の変化が、インバータ 1 1 0 とトランジスタN14を介して、レファレンス信号REFOUTとして出力される。トランジスタN15は、レファレンス信号REFOUTをLレベルにリセットするトランジスタである。

【 0 0 5 0 】

図 1 6 は、レファレンス用ページバッファの動作のタイミングチャート図である。図 8 のプログラムベリファイ動作や図 4 のリード動作の図と合わせて参照する。まず、プリチャージ期間T 1 で、プリチャージトランジスタP11が導通して、センスノードSNS及びレファレンスビット線RBLが電源Vccレベルまでプリチャージされる。そのとき、制御信号EVALがLレベルであり、トランジスタN15が導通してレファレンス信号REFOUTはLレベルである。

【 0 0 5 1 】

そして、センス期間T 2 になると、制御信号EVALがHレベルになり、センスノードSNSの変化が、レファレンス信号REFOUTに伝達可能状態になる。図示しないセルストリング選択信号の立ち上がりに応答して、レファレンスメモリセルのセル電流により、レファレンスビット線RBLがディスチャージされる。このディスチャージのスピードは、レファレンスメモリセルRMCのセル電流の大きさとレファレンスメモリセルの位置に依存し、それによりセンスノードSNSが低下するタイミングは、上記セル電流の大きさと、選択されたレファレンスメモリセルRMCとページバッファとの距離に依存する。

【 0 0 5 2 】

レファレンスビット線RBLのディスチャージにより、トリップポイント t_p でセンスノードSNSがLレベルに下がると、レファレンス信号REFOUTがHレベルに立ち上がる。このレファレンス信号REFOUTの立ち上がりに対応して、タイマー回路104の所定遅延時間 t_d 後にセンスタイミング信号SETが生成され、それに対応して、通常メモリセルアレイのページバッファ100は、それぞれのセンスノードSNSの電位を検出する。

【0053】

図17は、レファレンスメモリセルの閾値電圧を説明する図である。図17は、横軸が閾値電圧及びゲート電圧を示し、真ん中の0Vを中心にして、左側が負電圧、右側が正電圧になる。図中、消去セルの閾値電圧分布30が負電圧側に、プログラムセルの閾値電圧分布32が正電圧側にあり、リード動作時のワード線に印加されるリードベリファイ電圧VRVは、ほぼ0Vに制御される。これにより、選択メモリセルが消去セルであれば、そのセルトランジスタは導通して所定のセル電流を発生してビット線をディスチャージするが、選択メモリセルがプログラムセルであれば、そのセルトランジスタは非導通となりセル電流は発生せず、ビット線はディスチャージされない。また、プログラムベリファイ時にワード線に印加されるプログラムベリファイ電圧VPGMVは、プログラムセルの閾値電圧分布32より僅かに低い電圧であり、一方、消去ベリファイ時の消去ベリファイ電圧VREVは、消去セルの閾値電圧分布30よりも僅かに高い電圧である。

【0054】

リード用のレファレンスセルの閾値電圧VRRDは、図示されるとおり、リードベリファイ電圧VRVより僅かに低く、且つ、消去セルの閾値電圧分布30より十分に高いレベルに設定される。この設定は、レファレンスページバッファを経由してリード用レファレンスメモリセルにプログラムするときに、フローティングゲートまたはトラップゲートに注入する電子の量を制御することにより行われる。リード用レファレンスセルの閾値電圧VRRDを、上記のレベルに設定することで、ワード線にリードベリファイ電圧VRVが印加されると、リード用レファレンスセルのセル電流は、通常メモリセル内の消去セルのセル電流よりも小さくなる。そのため、リード用レファレンスビット線R-RBLのディスチャージの速度は、

通常メモリセルアレイ内のビット線よりも遅くなり、通常メモリセルの消去状態をページバッファが確実に検出できる。つまり、レファレンス用メモリセルの閾値電圧 V_{RRD} が、通常のメモリセルによるビット線のディスチャージよりも、レファレンス用メモリセルによるレファレンス用ビット線のディスチャージが遅くなるように設定される。

【 0 0 5 5 】

もしこのリード用レファレンスセルの閾値電圧 V_{RRD} が消去セルの閾値電圧分布 30 に近いレベルに設定されると、消去状態のセルのうちその閾値電圧 V_t がより 0 V に近い場合は、レファレンスセルのセル電流のほうが大きくなる可能性があり、消去セルの読み出しタイミングが早くなりすぎる可能性がある。

【 0 0 5 6 】

一方、プログラムベリファイ用のレファレンスセルの閾値電圧 V_{RPGM} は、図示されるとおり、プログラムベリファイ電圧 V_{PGMV} より僅かに低いレベルに設定される。このレベルに設定することにより、プログラムベリファイ時にワード線にプログラムベリファイ電圧 V_{PGMV} が印加されても、レファレンスセルは導通してレファレンスビット線 P-RBL をディスチャージすることができる。しかも、プログラムベリファイで未プログラム状態と判定されるセルの閾値電圧は、プログラムベリファイ電圧 V_{PGMV} より低いレベルであるので、レファレンスセルの閾値電圧 V_{RPGM} は、それら未プログラム状態のセルの閾値電圧よりも高くなるように設定する。これにより、検出対象である未プログラム状態のセルのセル電流よりも、レファレンスセルのセル電流が少なくなり、レファレンスビット線のディスチャージが未プログラム状態のセルのビット線ディスチャージよりも最も遅くなる。

【 0 0 5 7 】

もし、レファレンスセルの閾値電圧 V_{RPGM} が低すぎると、プログラムベリファイ電圧 V_{PGMV} に対して、レファレンスセルのセル電流が未プログラムセルのセル電流より大きくなり、未プログラムセルによるビット線のディスチャージがあまり行われない状態で、レファレンスビット線のディスチャージが先行してしまい、センスタイミング信号 SET が早すぎるタイミングで生成されてしまう。その結

果、未プログラムセルでもセル電流がない状態（データ 0）と判定され、プログラムベリファイを通過してしまう。プログラムベリファイは、通常、セル毎に行われるので、一旦プログラムベリファイを通過すると、その後そのセルにはプログラムパルスは印加されずに、未プログラム状態のままになってしまう。

【 0 0 5 8 】

上記のとおり、プログラムベリファイ用のレファレンス用メモリセルの閾値電圧 V_{RPGM} が、通常のメモリセルであって未だプログラム状態でないメモリセルによるビット線のディスチャージよりも、ベリファイ用のレファレンス用メモリセルによるレファレンス用ビット線のディスチャージが遅くなるように設定される。

【 0 0 5 9 】

図 1 4 には示されていないが、レファレンス用メモリセルアレイに、消去用レファレンスビット線と消去用レファレンスメモリセル、更にそのページバッファを設けても良い。そして、消去ベリファイのセンスタイミングを消去レファレンスビット線のディスチャージに応じて制御する。その場合は、消去レファレンスメモリセルの閾値電圧は、消去ベリファイ電圧 V_{ERV} よりも僅かに高いレベルに設定されることが好ましい。

〔第 3 の実施の形態〕

図 1 8 は、第 3 の実施の形態におけるメモリ回路の概略構成図である。この例は、ワード線 $W L$ や選択制御線 $S G$ の時定数が大きい場合の対策として有効である。このメモリ回路は、メモリセルアレイが、ワード線方向に複数の領域 $MCA0 \sim MCA3$ に分割され、各分割された領域 $MCA0 \sim MCA3$ は、レファレンス用ビット線と、当該レファレンス用ビット線とワード線 $W L$ との交差位置に配置されたレファレンス用メモリセルとを有するレファレンス用メモリセルアレイ $RMCA0 \sim RMCA3$ と、それに対応するレファレンス用ページバッファ $RPB0 \sim RPB3$ とを有する。そして、各分割された領域に属するページバッファ $PB0 \sim PB3$ のセンスタイミングが、対応する分割された領域において、選択されたワード線に属するレファレンス用メモリセルのセル電流によりレファレンス用ビット線がディスチャージする電位に応じて、それぞれ決定される。

【 0 0 6 0 】

第2の実施の形態では、レファレンスセルとレファレンスビット線及びレファレンスページバッファにより、通常メモリセルのページバッファによるセンスタイミングを制御する。レファレンスビット線のディスチャージが、通常メモリセルの消去セルのセル電流によるビット線ディスチャージよりも遅くなるようにすることで、そのセンスタイミングは、通常ビット線が十分ディスチャージされるタイミングに設定される。

【 0 0 6 1 】

しかし、センスタイミングが遅すぎると、通常セルのセル電流による通常ビット線のディスチャージ期間が長くなりすぎて、プログラムベリファイ時にプログラム状態のセルが未プログラム状態と誤ってベリファイされる場合がある。特に、レファレンスメモリセルアレイをワードドライバWDとは反対側に設けた場合、ワードドライバWD近傍の通常メモリセルにとって、ディスチャージ期間が長すぎることになり、そのセルがプログラム状態（データ0）であってもセルのリーク電流により通常ビット線のレベルがプリチャージレベルから下がってしまい、未プログラムと判断され、無駄なプログラムパルスが印加される場合がある。一方、ワードドライバWDから遠い通常メモリセルにとって、ディスチャージ期間が短すぎる場合は、通常セルが不十分なプログラム状態であっても、その通常ビット線がプリチャージレベルから下がらず、プログラム状態と判断されて、未プログラム状態でプログラム動作を終了することになる。

【 0 0 6 2 】

このように、プログラムベリファイ動作では、ベリファイ対象セルのワード線方向の位置に関しては、センスタイミングが遅すぎず且つ早すぎずのタイミングに設定されることが好ましい。一方、ビット線方向に関しては、ページバッファとの距離に応じたセンスタイミングに設定されることが望まれる。

【 0 0 6 3 】

上記の第3の実施の形態によれば、メモリセルアレイMCAがワード線方向に複数に分割されて、各分割領域で、レファレンスメモリセルアレイを利用してセンスタイミングを制御する。従って、検出されるまでのビット線がディスチャージ

される期間を、選択メモリセルの位置に依存することなく同等にすることができ、各分割された領域に対応するページバッファのセンスタイミングを最適化することができる。特に、ベリファイ用のレファレンス用メモリセルの閾値電圧と、未だプログラム状態でないメモリセルの閾値電圧またはプログラム状態になったメモリセルの閾値電圧との間のマージンが小さいので、ビット線がディスチャージされる期間を選択メモリセルの位置に依存することなく同等にすることで、未プログラム状態のメモリセルをプログラム状態と誤判定したり、プログラム状態のメモリセルを未プログラム状態と誤判定したりすることが防止できる。

【 0 0 6 4 】

図 1 9 は、第 3 の実施の形態のメモリ回路の詳細回路図である。図 1 9 には、図 1 8 の 5 0 で示した、左端の分割メモリセルアレイ領域 MCA0 と、それに対応するレファレンス用メモリセルアレイ RMCA0 及びレファレンス用ページバッファ R-RPB0、P-RPB0 がそれぞれ示される。他の分割メモリセルアレイなどは省略されている。レファレンス用ページバッファの構成は、第 2 に実施の形態と同じである。また、各レファレンスメモリセルの閾値電圧も、第 2 の実施の形態と同じである。即ち、リード用及びプログラムベリファイ用のレファレンスメモリセルの閾値電圧は、図 1 7 に示したとおり、リード時にレファレンスメモリセルがデータ「1」（消去状態）と判定されるレベルの中で最も高いレベルに、またプログラムベリファイ時にレファレンスメモリセルがデータ「1」と判定されるレベルの中で最も高いレベルにそれぞれ設定される。

【 0 0 6 5 】

図 2 0 は、第 3 の実施の形態におけるレファレンスページバッファの動作タイミングチャート図である。図 2 0 には、M 分割された場合の、第 1 分割領域、第 2 分割領域、及び第 M 分割領域のレファレンスページバッファの動作が示される。

【 0 0 6 6 】

この動作は、第 2 の実施の形態の図 1 6 に示したものとほぼ同じであり、レファレンスビット線 RBL のディスチャージ開始時間が、ワードドライバ WD に最も近い第 1 分割領域では最も早く、それに対応して、そのディスチャージのトリッ

ポイント t p 1 も最も早い。それによりレファレンス用ページバッファのレファレンス出力 REFOUT が最も早く H レベルに立ち上がり、センスタイミング信号 SET も最も早く H レベルになる。

【 0 0 6 7 】

一方、第 2 分割領域及び第 M 分割領域では、ワードドライバ WD から離れるにしたいが、セルストリングをグランド電位 ARVSS に接続する選択信号 SG2-0 のワードドライバ WD による駆動の伝播が遅れて、レファレンスビット線のディスチャージ開始タイミングが順次送れる。それに伴い、センスタイミング信号 SET も順次遅く制御される。

【 0 0 6 8 】

このように、各分割されたメモリセルアレイ MCA0～MCA3 に対するセンスタイミングは、ワード線方向の位置、即ち、ワードドライバからの距離に応じて、順次遅くなるように制御される。従って、各分割されたメモリセルアレイでのビット線ディスチャージ期間が長すぎず、短すぎず、最適の期間に制御される。

【 0 0 6 9 】

上記の第 2、第 3 の実施の形態では、遅延回路 1 0 4 を設けて、レファレンス用ページバッファからのレファレンス信号 REFOUT を一定時間遅延させているが、レファレンス用ページバッファからのレファレンス信号 REFOUT を直接センスタイミング信号 SET として通常ページバッファに供給してもよい。

【 0 0 7 0 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 7 1 】

(付記 1) メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有し、

選択されたメモリセルの前記メモリセルアレイ内の位置に応じて、前記センスタイミングが異なることを特徴とするメモリ回路。

【 0 0 7 2 】

（付記 2）付記 1 において、

前記選択されたメモリセルが、前記ページバッファから第 1 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、前記ページバッファから前記第 1 の距離より長い第 2 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とするメモリ回路。

【 0 0 7 3 】

（付記 3）付記 1 において、

前記選択されたメモリセルが、前記ワード線を駆動するワード駆動回路から第 1 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングで判定し、前記選択されたメモリセルが、前記ワード駆動回路から前記第 1 の距離より長い第 2 の距離に位置する時は、当該ページバッファが第 1 のセンスタイミングより遅い第 2 のセンスタイミングで判定することを特徴とするメモリ回路。

【 0 0 7 4 】

（付記 4）付記 1 において、

前記選択されたメモリセルの位置を特定するアドレスに応じた遅延時間だけ、基準センスタイミング信号を遅延してセンスタイミング信号を生成する遅延回路を有し、

前記ページバッファは、前記遅延回路から供給される前記センスタイミング信号に応答して、対応するビット線の電位を検出することを特徴とするメモリ回路。

【 0 0 7 5 】

（付記 5）メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有する通常メモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメ

メモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファと、

レファレンスビット線と、当該レファレンスビット線と前記ワード線との交差位置に配置されたレファレンスメモリセルとを有するレファレンスメモリセルアレイとを有し、

前記ページバッファの前記センスタイミングが、選択されたワード線に属するレファレンスメモリセルのセル電流によりレファレンスビット線がディスチャージされる電位に応じて、決定されることを特徴とするメモリ回路。

【 0 0 7 6 】

（付記 6）付記 5 において、

前記レファレンスビット線が、前記ワード線を駆動するワード線駆動回路に対して、通常メモリセルアレイよりも遠い位置に配置されることを特徴とするメモリ回路。

【 0 0 7 7 】

（付記 7）付記 5 において、

前記レファレンスメモリセルの閾値電圧が、消去状態のメモリセルによるビット線のディスチャージよりも、レファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【 0 0 7 8 】

（付記 8）付記 5 において、

前記レファレンスメモリセルの閾値電圧が、前記リファレンスメモリセルが消去状態と判定されるレベルのうち最も高いレベルに設定されていることを特徴とするメモリ回路。

【 0 0 7 9 】

（付記 9）付記 5 において、

前記レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラムベリファイ用とを有し、

前記プログラムベリファイ用のレファレンスメモリセルの閾値電圧が、通常のメモリセルであって未だプログラム状態でないメモリセルによるビット線のディスチャージよりも、前記プログラムベリファイ用のレファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【 0 0 8 0 】

（付記 1 0）付記 5 において、

前記レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラムベリファイ用とを有し、

前記プログラムベリファイ用のレファレンスメモリセルの閾値電圧が、プログラムベリファイ時に前記プログラムベリファイ用のレファレンスメモリセルが未プログラム状態と判定されるレベルのうち最も高いレベルに設定されていることを特徴とするメモリ回路。

【 0 0 8 1 】

（付記 1 1）メモリ回路において、

複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイと、

前記ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファとを有し、

前記メモリセルアレイは、ワード線方向に複数の領域に分割され、各分割された領域は、レファレンスビット線と、当該レファレンスビット線とワード線との交差位置に配置されたレファレンスメモリセルとを有し、

各分割された領域に属するページバッファの前記センスタイミングが、対応する分割された領域において、選択されたワード線に接続されたレファレンスメモリセルのセル電流により前記レファレンスビット線がディスチャージする電位に応じて、それぞれ決定されることを特徴とするメモリ回路。

【 0 0 8 2 】

(付記 1 2) 付記 1 1 において、

前記各分割された領域において、前記レファレンスビット線が、前記ワード線を駆動するワード線駆動回路に対して、通常メモリセルアレイよりも遠い位置に、それぞれ配置されることを特徴とするメモリ回路。

【 0 0 8 3 】

(付記 1 3) 付記 1 1 において、

前記レファレンスメモリセルの閾値電圧が、消去状態のメモリセルによるビット線のディスチャージよりも、前記レファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【 0 0 8 4 】

(付記 1 4) 付記 1 1 において、

前記レファレンスメモリセルとレファレンスビット線は、少なくとも、リード用とプログラムベリファイ用とを有し、

前記プログラムベリファイ用のレファレンスメモリセルの閾値電圧が、通常のメモリセルであって未だプログラム状態でないメモリセルによるビット線のディスチャージよりも、前記プログラムベリファイ用のレファレンスメモリセルによるレファレンスビット線のディスチャージが遅くなるように設定されていることを特徴とするメモリ回路。

【 0 0 8 5 】

【発明の効果】

以上、本発明によれば、ビット線電位がセル電流によりディスチャージされる時のその電位のセンスタイミングを最適化することができる。それにより、大容量化及び低電圧化に伴って、セル電流が小さくなり、ビット線やワード線の C R 値が高くなっても、ページバッファからみてメモリセルの閾値電圧の分布が実質的に狭くなり、メモリ回路の信頼性が高くなる。

【図面の簡単な説明】

【図 1】

従来の不揮発性メモリの一つである NAND 型のフラッシュメモリの回路図である

【図 2】

ページバッファの回路図である。

【図 3】

電源回路の回路図である。

【図 4】

従来のリード時の A C センス動作のタイミングチャート図である。

【図 5】

従来のベリファイ時の A C センス動作のタイミングチャート図である。

【図 6】

第 1 の実施の形態における NAND 型のフラッシュメモリの回路図である。

【図 7】

第 1 の実施の形態における行アドレスとメモリセルアレイの関係を示す図である。

【図 8】

第 1 の実施の形態におけるプログラムベリファイ動作のタイミングチャート図である。

【図 9】

デコーダ 1 0 2 の具体的回路図である。

【図 1 0】

遅延回路 1 0 3 の具体的な回路図である。

【図 1 1】

第 1 の実施の形態での変形例を示す図である。

【図 1 2】

第 1 の実施の形態での別の変形例を示す図である。

【図 1 3】

第 2 の実施の形態におけるメモリ回路の概略的構成図である。

【図 1 4】

第 2 の実施の形態におけるメモリ回路の詳細回路図である。

【図 1 5】

レファレンス用ページバッファの回路図である。

【図 1 6】

レファレンス用ページバッファの動作のタイミングチャート図である。

【図 1 7】

レファレンスメモリセルの閾値電圧を説明する図である。

【図 1 8】

第 3 の実施の形態におけるメモリ回路の概略構成図である。

【図 1 9】

第 3 の実施の形態におけるメモリ回路の詳細回路図である。

【図 2 0】

レファレンス用ページバッファの動作のタイミングチャート図である。

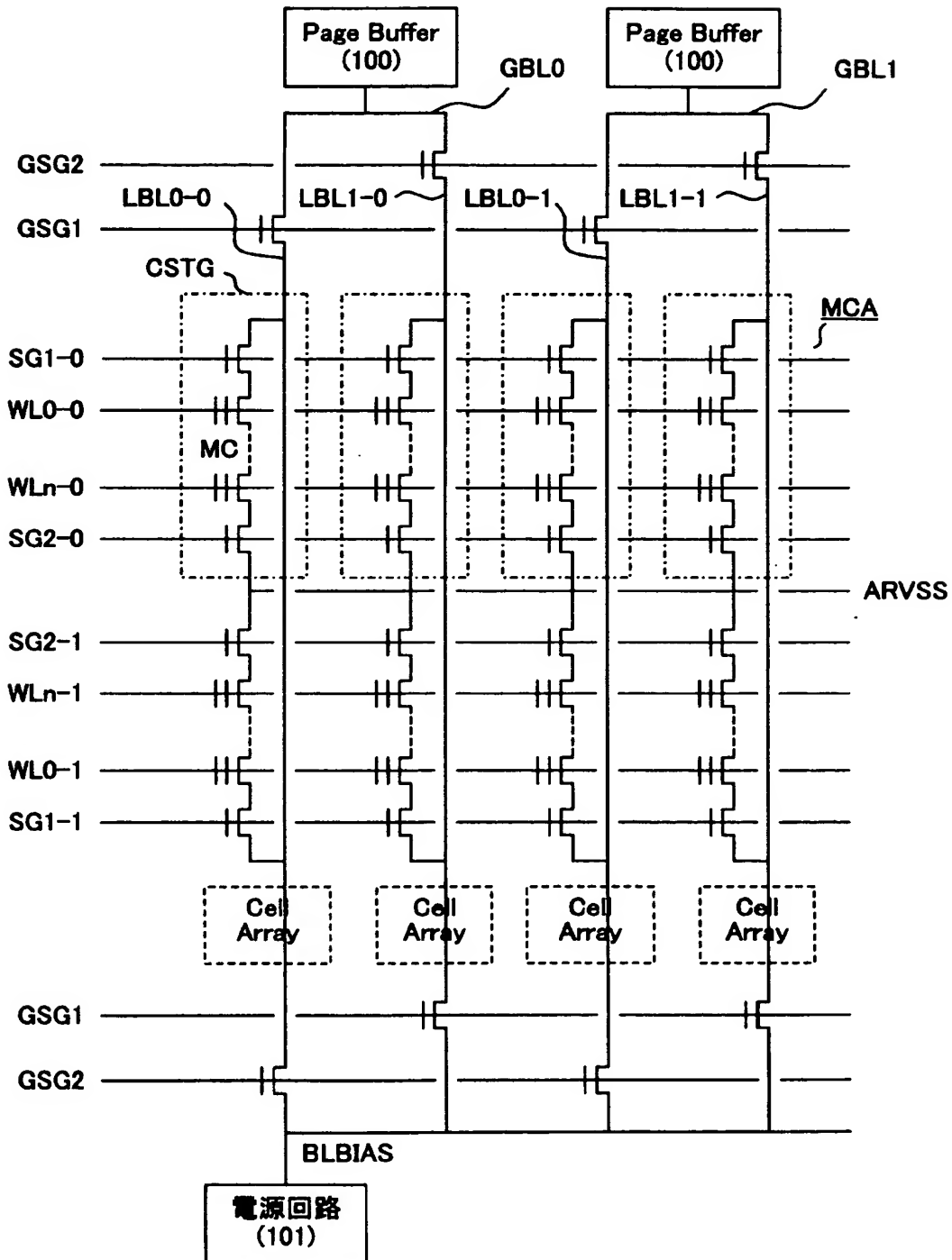
【符号の説明】

MCA	メモリセルアレイ
MC	メモリセル
LBL、GBL	ビット線
RMCA	レファレンスメモリセルアレイ
RMC	レファレンスメモリセル
RBL	レファレンスビット線
RPB	レファレンスページバッファ
SET	センスタイミング信号
100	ページバッファ
103	遅延回路
104	遅延回路

【書類名】 図面

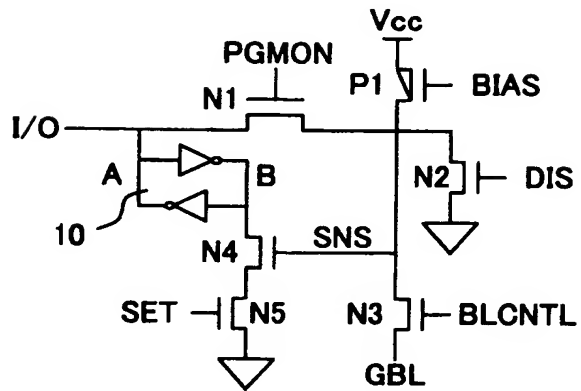
【図 1】

従来例



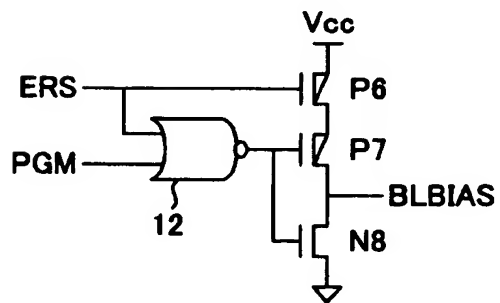
【図 2】

ページバッファ 100



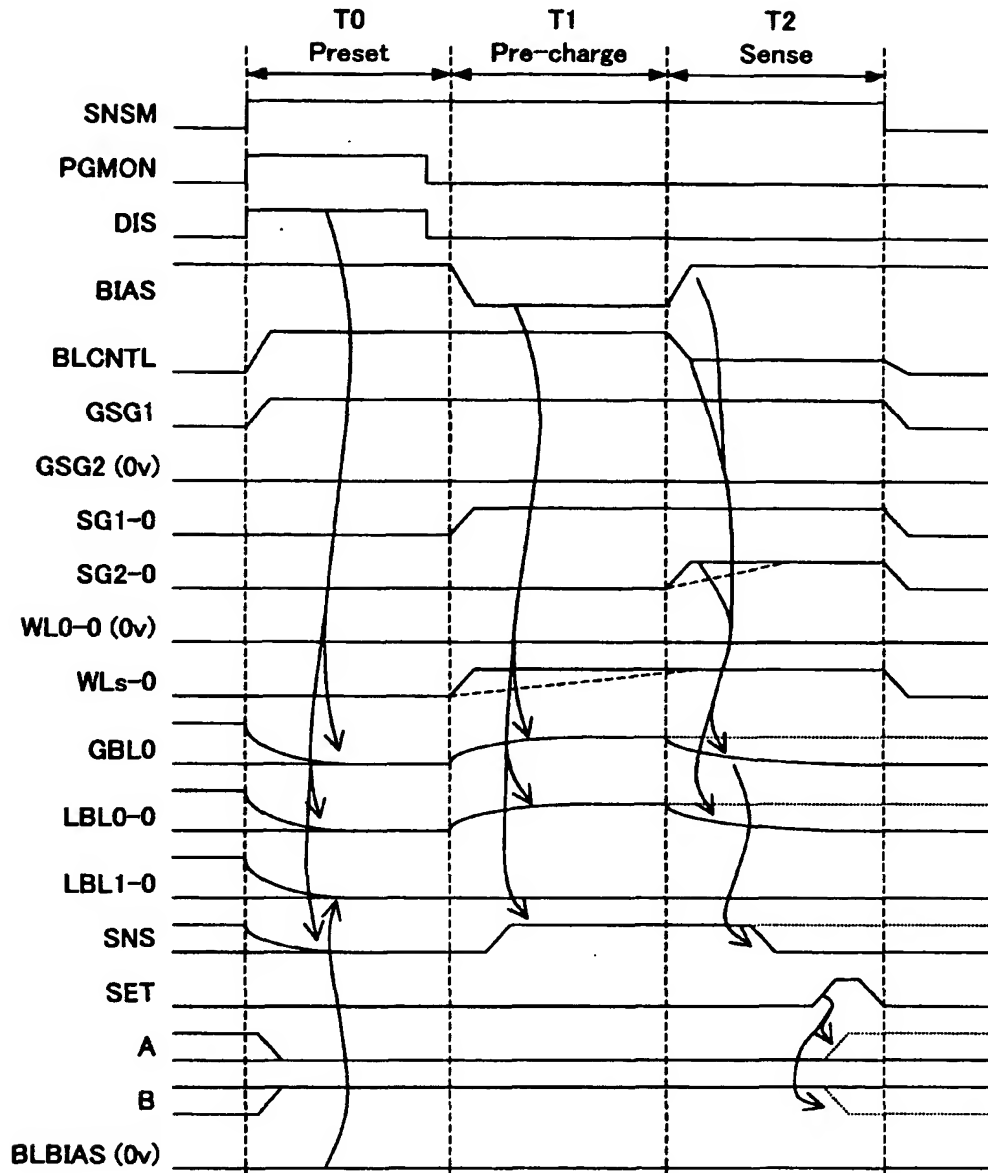
【図 3】

電源回路 101



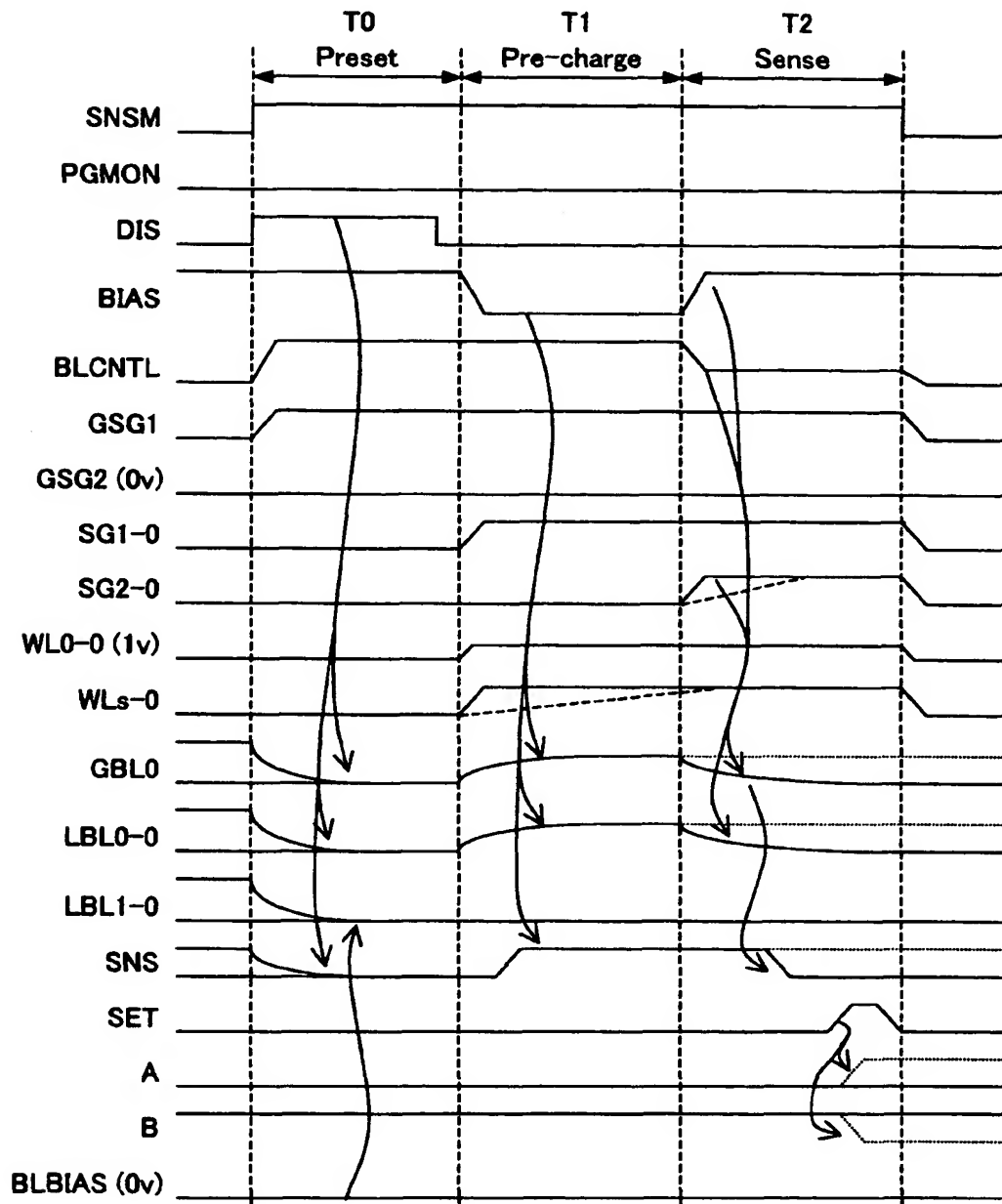
【図 4】

従来のリード時のACセンス



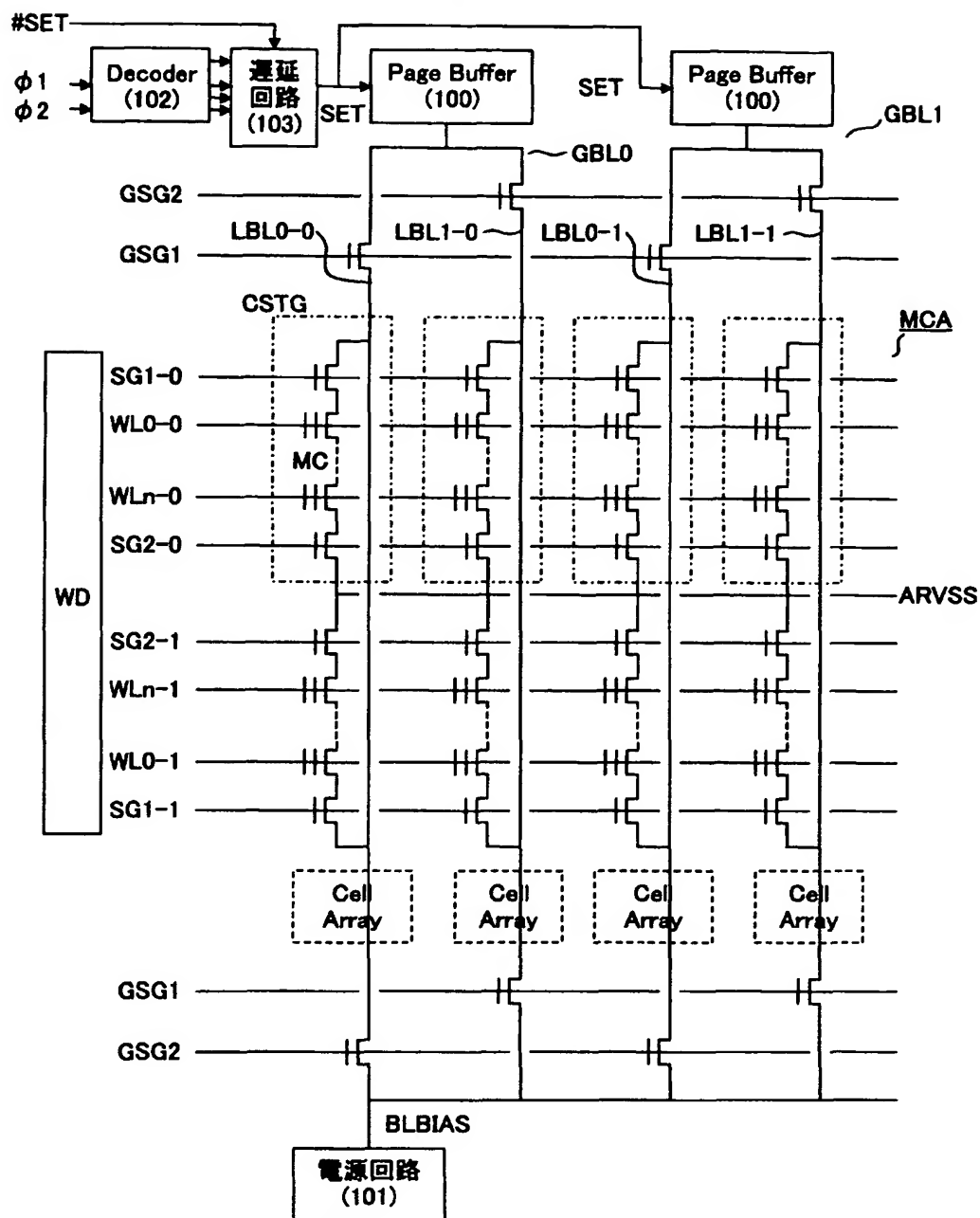
【図 5】

従来のプログラムベリファイのACセンス



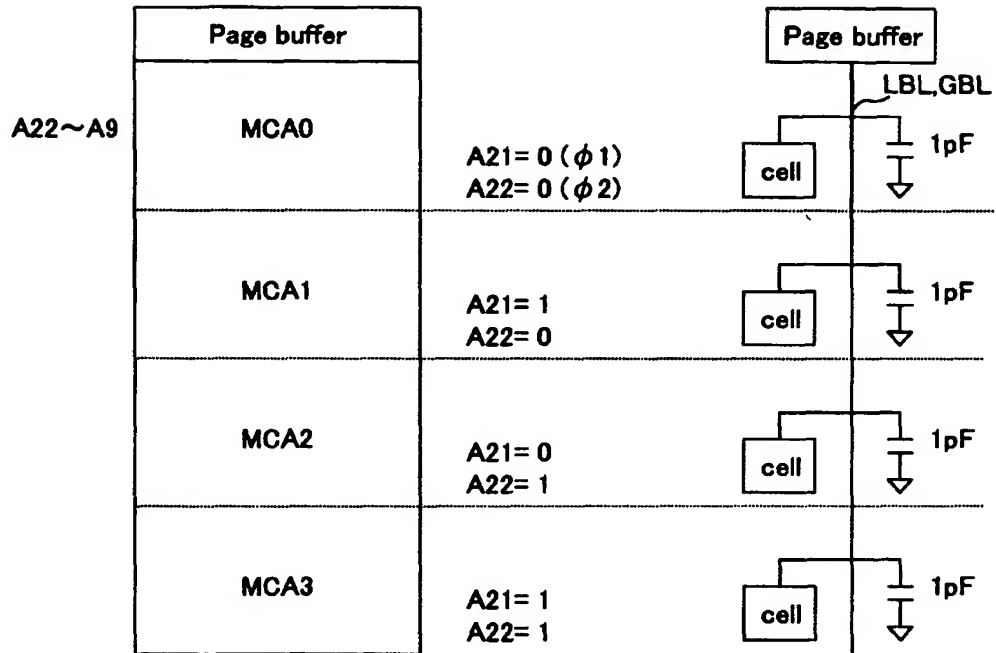
【図 6】

第1の実施の形態

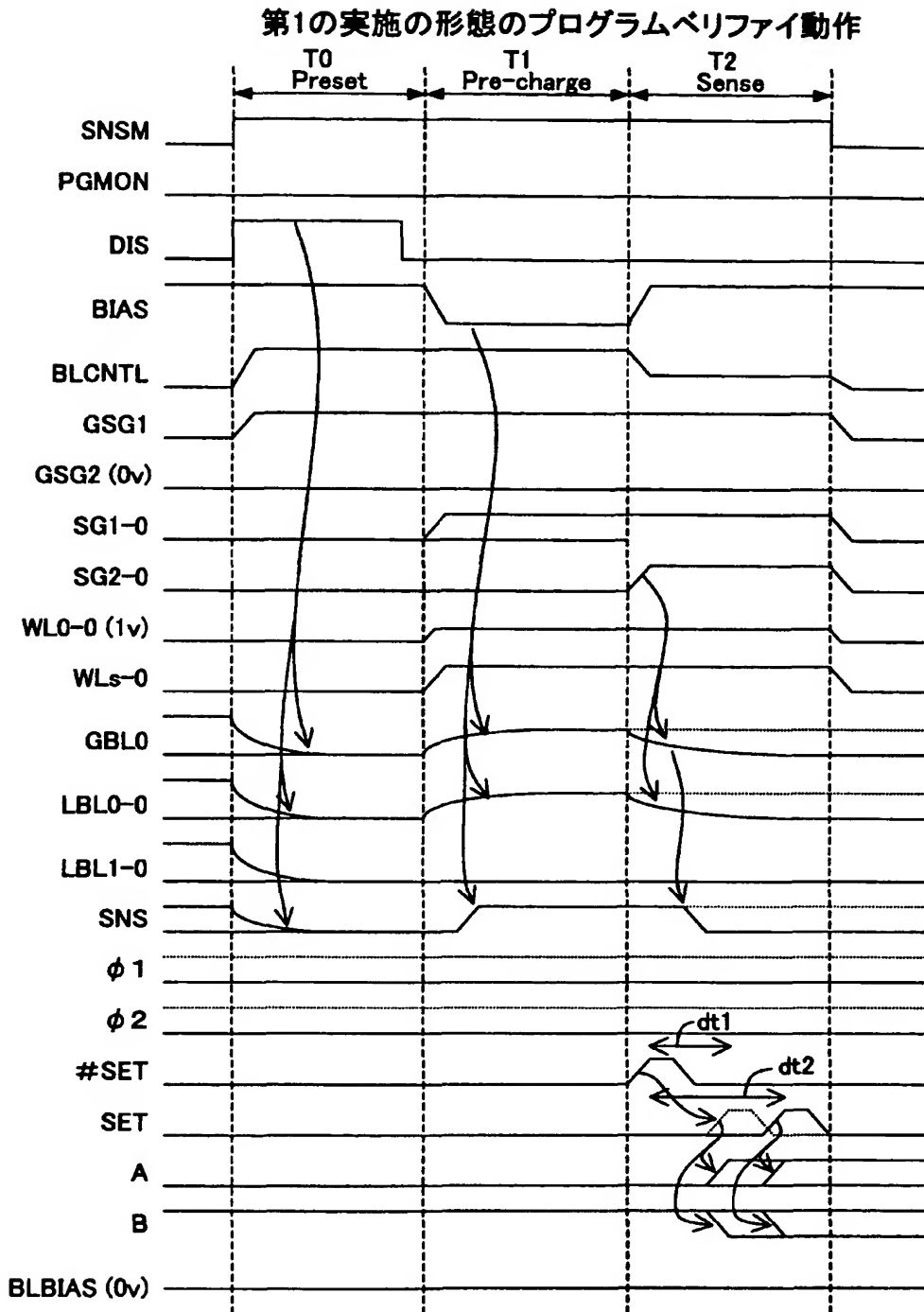


【図 7】

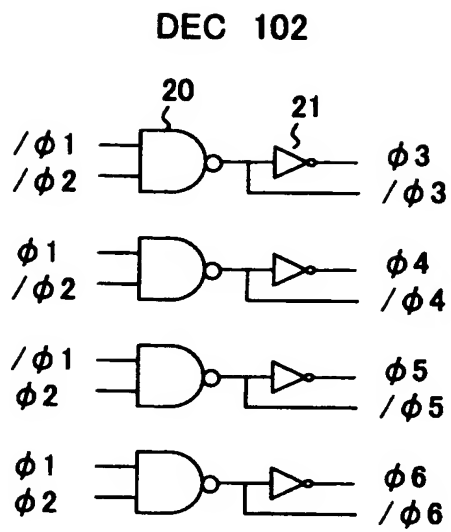
第1の実施の形態



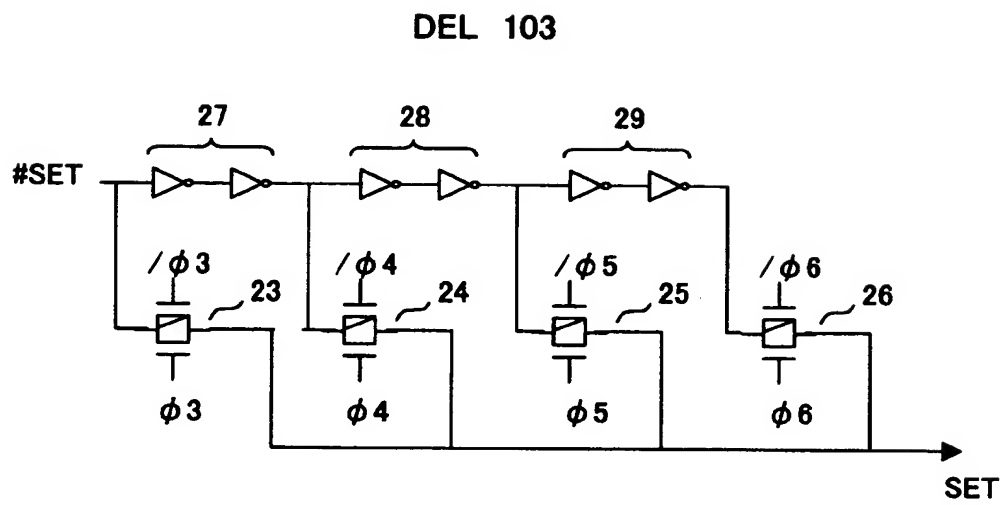
【図 8】



【図 9】

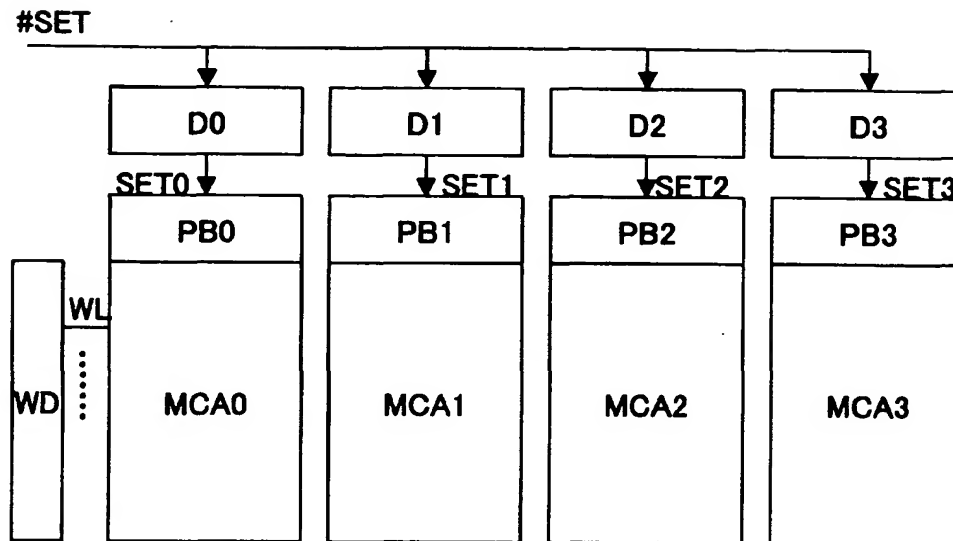


【図 1 0】



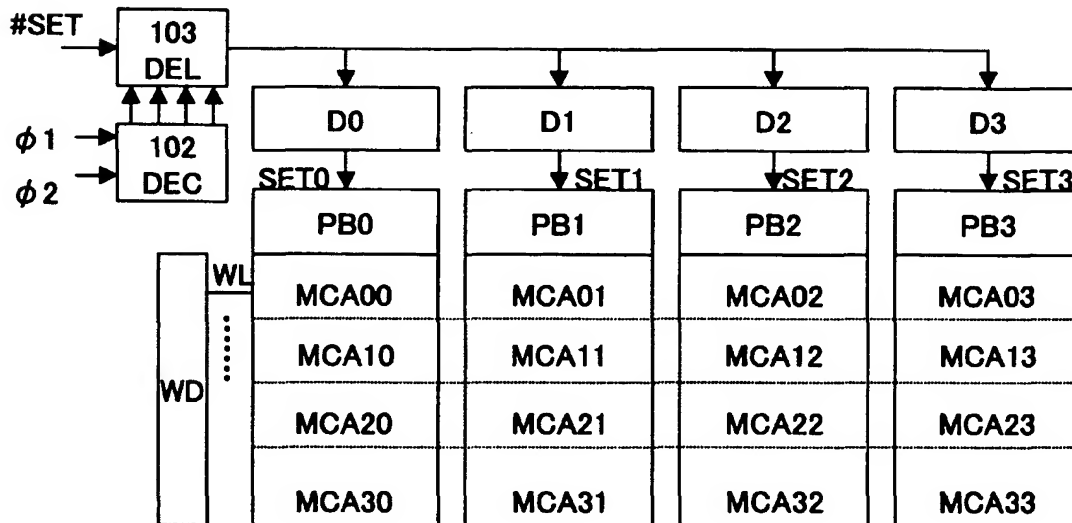
【図 1 1】

第1の実施の形態の変形例(1)



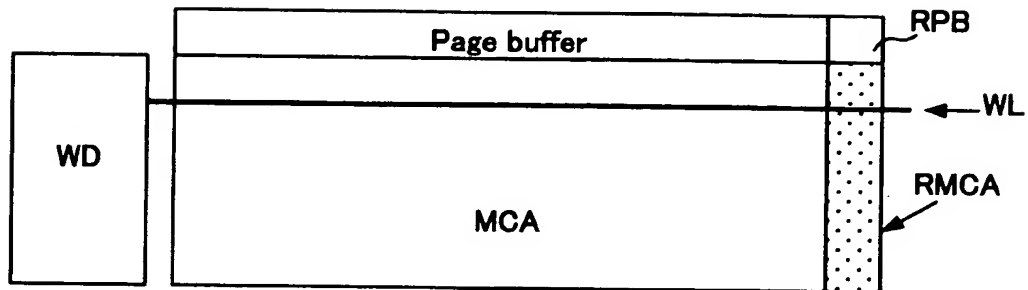
【図 1 2】

第1の実施の形態の変形例(2)

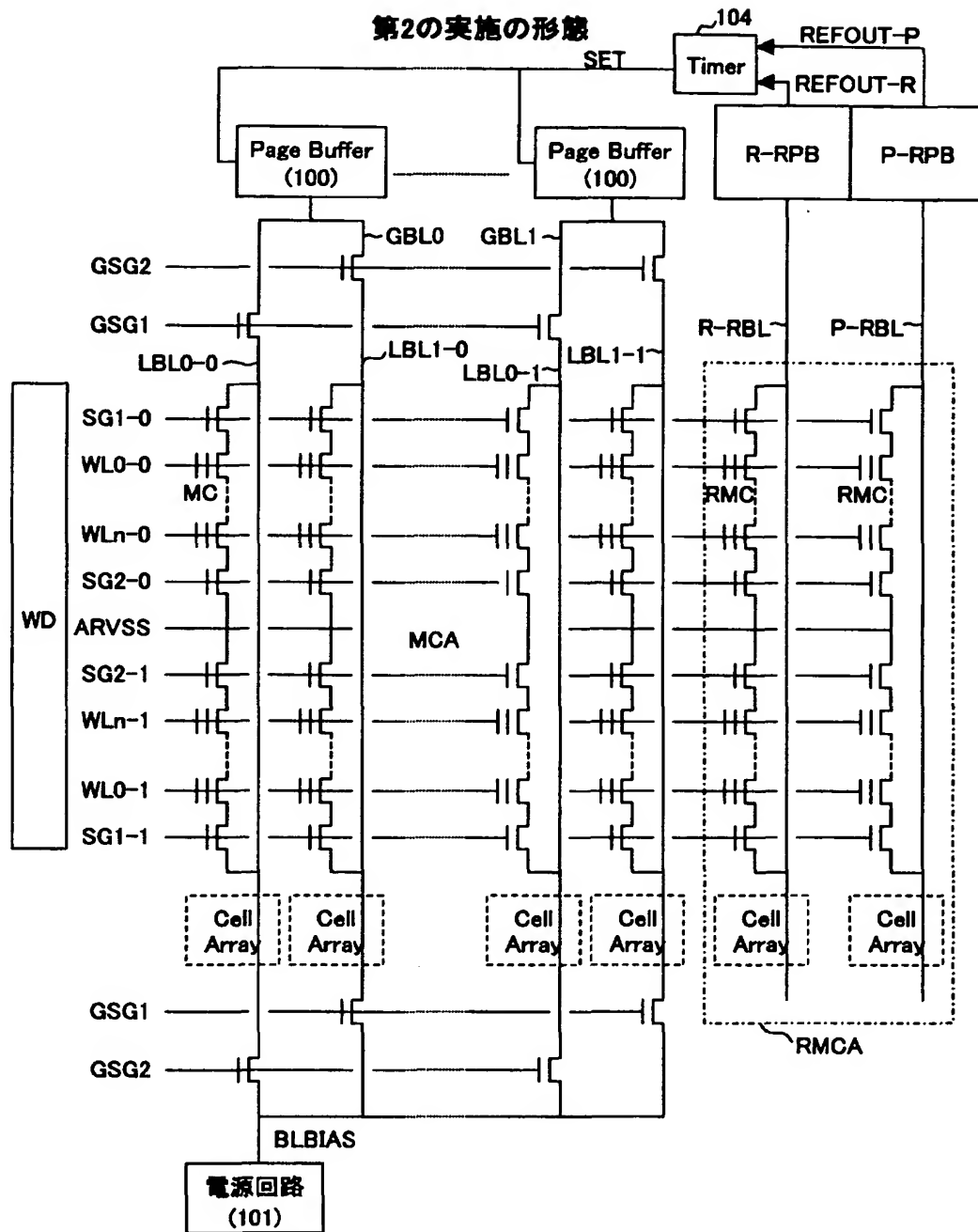


【図 1 3】

第2の実施の形態

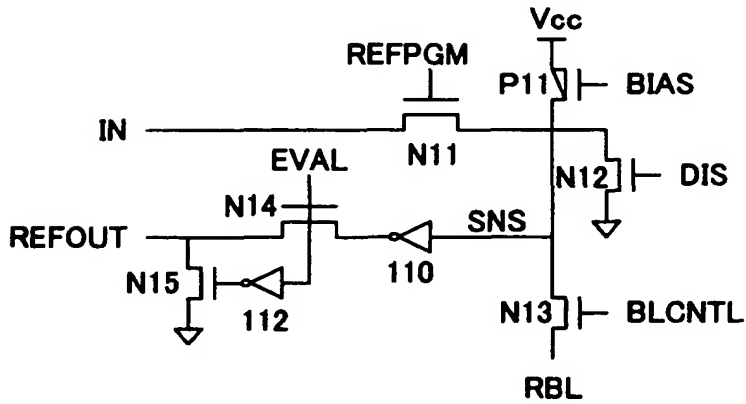


【図 14】

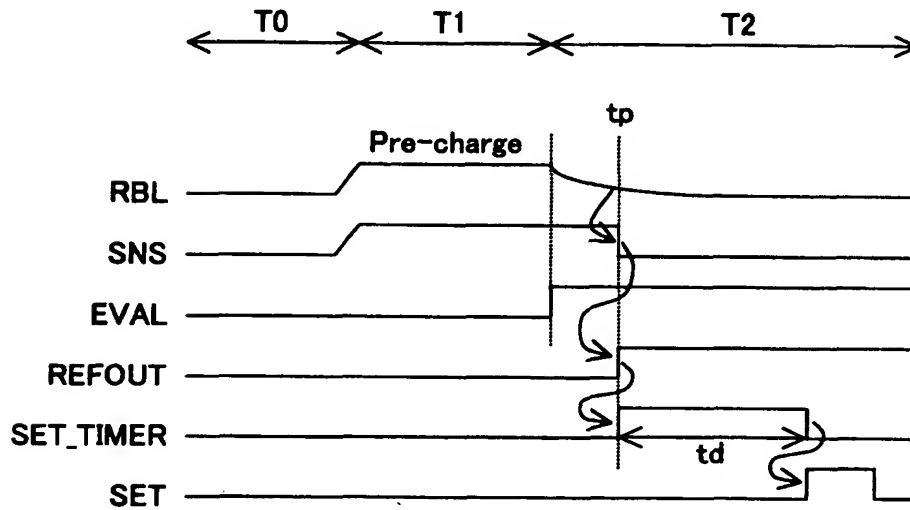


【図 1 5】

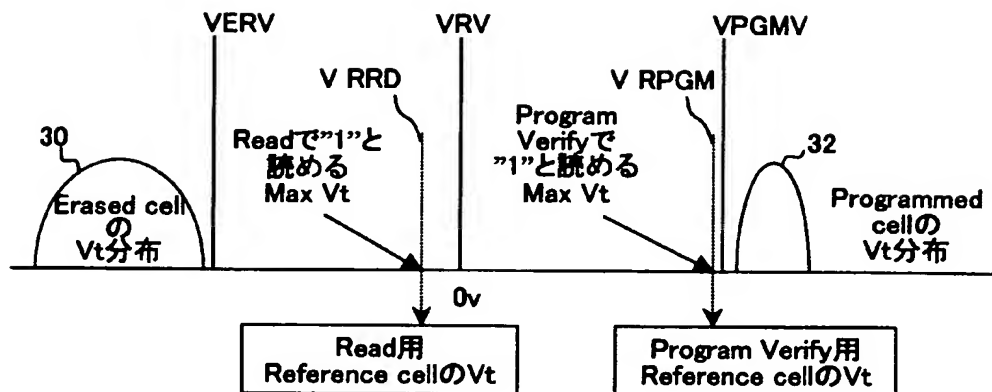
レファレンスセル用ページバッファRPB



【図 1 6】

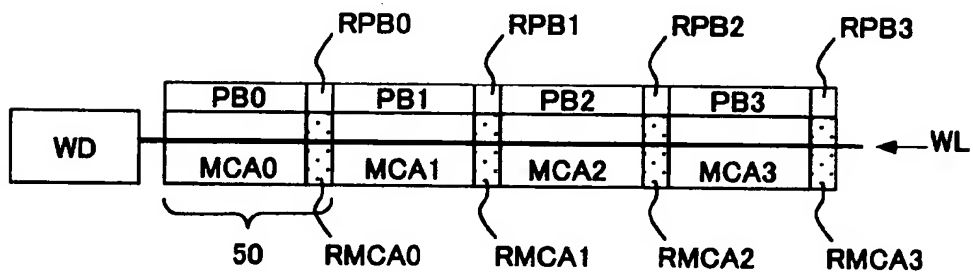


【図 17】



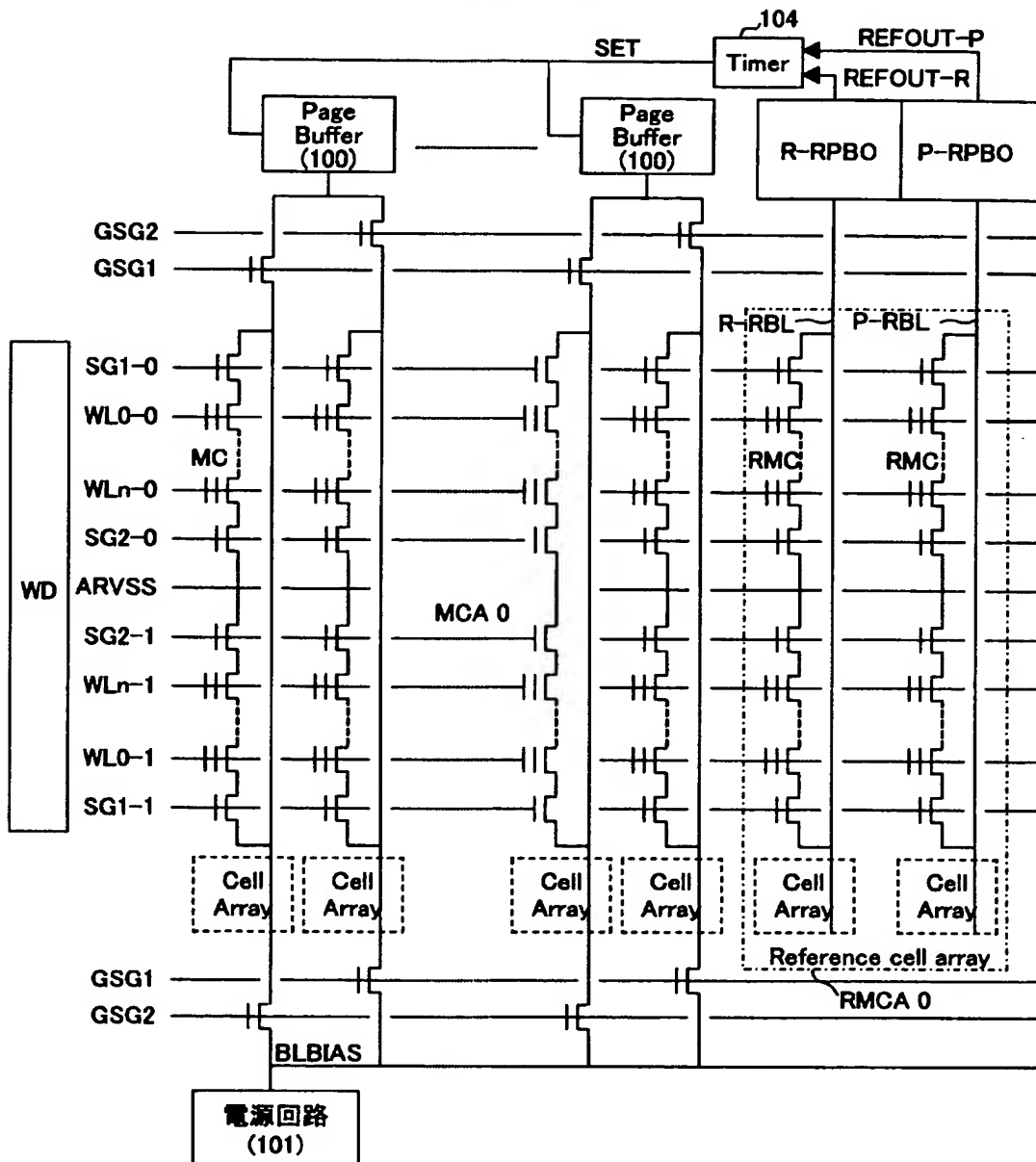
【図 18】

第3の実施の形態

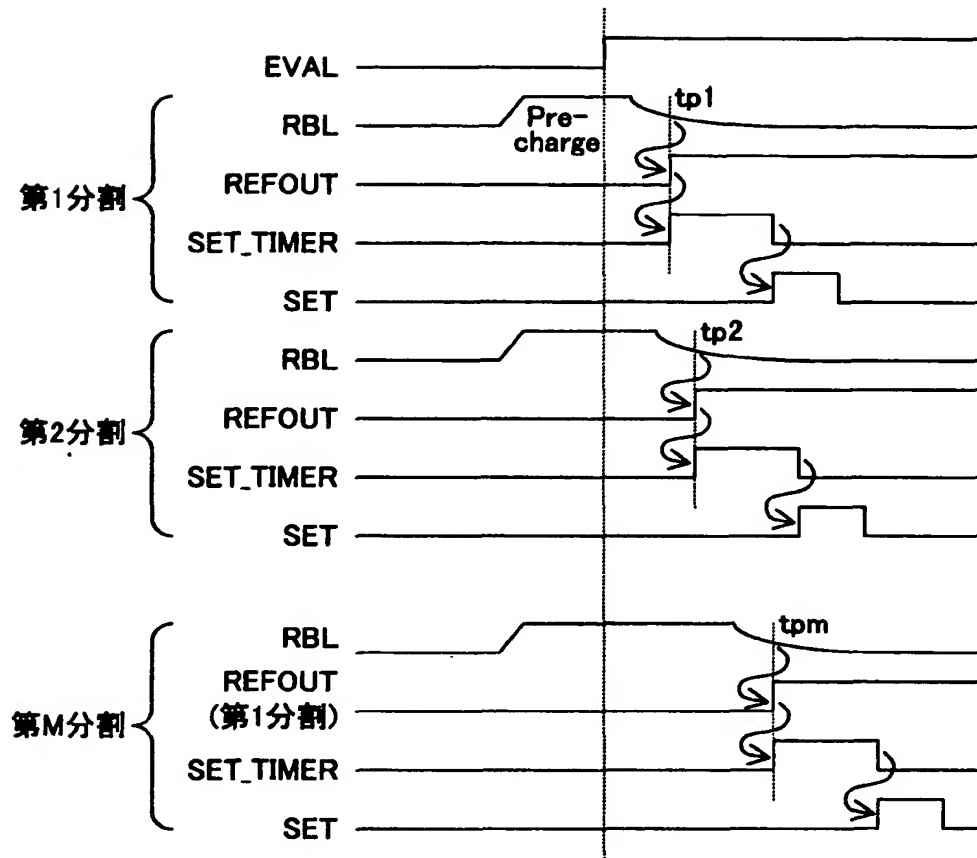


【図 1 9】

第3の実施の形態



【図 2 0】



【書類名】

要約書

【要約】

【課題】大容量化及び低電圧化に伴って、セル電流が小さくなり、ビット線やワード線のCR値が高くなっても、ページバッファからみてメモリセルの閾値電圧の分布が実質的に狭くなり、信頼性が高いメモリ回路を提供する。

【解決手段】メモリ回路において、複数のビット線と、複数のワード線と、それらの交差する位置に配置された複数のメモリセルとを有するメモリセルアレイMC Aと、ビット線に接続され、プリチャージされたビット線の電位が選択されたメモリセルのセル電流に応じてディスチャージされる時の当該ビット線の電位を、所定のセンスタイミングで判定してメモリセルのデータを検出するページバッファ100とを有し、更に、選択されたメモリセルのメモリセルアレイ内の位置に応じて、センスタイミングが異なる。セル電流が小さくなり、ビット線やワード線のCR値が高くなっても、ACセンス方式において、ビット線電位がディスチャージされる時のその電位のセンスタイミングを最適化することができる。それにより、ページバッファからみてメモリセルの閾値電圧の分布が実質的に狭くなり、メモリ回路の信頼性が高くなる。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社